

②全ハードウェア量が最も小さい。
 という点を重視した結果である。バンク・コンフリクトが生じやすいという問題点については、静的コード・スケジューリングによりある程度対処できる。

4.1節で述べたように、ID/I型を採用するにあたっては、キャッシュのラインサイズの設定が問題となる。ラインサイズの決定にあたっては、同じID/I型を採用したマルチポート・ノンブロッキング・キャッシュに関するシミュレーション結果[5]、および、文献[6]より、32バイトが妥当であると判断した。図5に示すように、DPDCは各バンク毎に、以下の主要ユニットを備える。

- ①キャッシュ・アクセス・ポート (CAP): ロード/ストア・パイプラインからの要求を受け付ける。
- ②タグ・ユニット (TU): タグアレイ、タグ制御回路、および、ヒット/ミスヒット判定回路などを含む。
- ③データ・ユニット (DU): データアレイ、ダイナミック・サイジング処理回路などを含む。
- ④キャッシュ・コントロール・ユニット (CCU): ミスヒット処理やデータキャッシュ制御命令の処理を行う。また、メモリ・インターフェースを備える。

1個のアクセス要求に対して、タグ・ユニットとデータ・ユニットは並列に動作し、ロードおよびストアとも1サイクルでアクセスを完了する。ロード命令によるデスティネーション・レジスタへの書き込みの際には、出力バスおよびバイパスバスにデータを乗せる。出力バスはレジスタ・ファイルの書き込みポ-

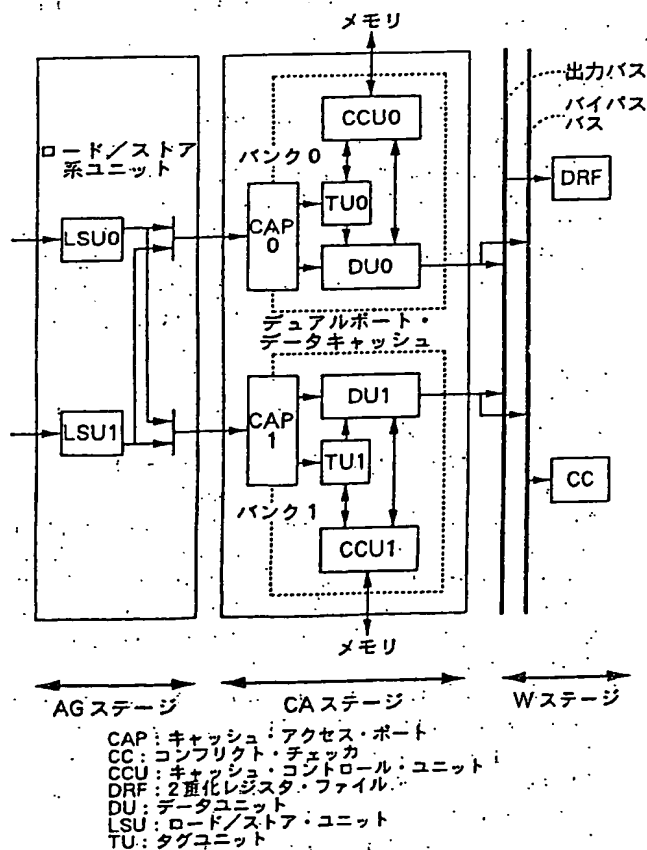


図5. ロード/ストア・パイプライン構成

トに、また、バイパスバスはコンフリクト・チェッカに、それぞれ接続されている。

5. ロード/ストア・パイプライン処理過程

5.1 通常処理過程

2.2節で述べた命令パイプラインの4ステージのうち、次の2ステージがロード/ストア命令に特有の処理内容となる。

(1) Dステージ: レジスタに関するデータ依存関係の判定後、依存関係にないロード/ストア命令をロード/ストア・ユニット (LSU0またはLSU1) にディスパッチする。最大2命令まで同時にディスパッチできる。このディスパッチ制御については、後述する。

(2) Eステージ: 以下の2ステージにさらにパイプライン化される。

①AG (Address Generate) ステージ: 各LSUにおいて実効アドレスを計算し、LSU間のバンク・コンフリクト調停を行う。バンク・コンフリクトの結果CAPを獲得できなかったLSUは、インターロックされる。バンク・コンフリクト調停の際の優先順位は、インターロックしているLSUの方が高い (両LSUともインターロックしていない場合は、LSU0の方が高い)。よって、現サイクルでインターロックされたLSUは、次サイクルで必ず当該CAPを獲得できる。

②CA (Cache Access) ステージ: DPDCの各バンクにおいてデータ・アクセスを遂行する。ヒットした場合、ロードおよびストアとも1サイクルでアクセスを完了する。ミスヒットした場合、5.2節で述べるように、使用可能なMSHRが存在すればブロックしない。ただし、MSHR設定のため1サイクルのインターロックが必要となる。よって、ストア・アクセスは2サイクルで完了する。一方、ロードは、メモリからのデータ到着までアクセス完了を待たされる。

さて、Dステージにおけるロード/ストア命令のディスパッチ制御は、以下の方針に基づく。なお、少なくとも1個のLSUはインターロックしていないものとする。

【方針1】最も先行するロード/ストア命令はその種類 (SO, WO, UO) に関係なく、レジスタに関するデータ依存関係がない限り常にディスパッチ可能である。

【方針2】先行するSOのロード/ストア命令がディスパッチ不可能なら、後続のSOのストア命令もディスパッチ不可能とする (SALおよびSASの保証)。また、先行するSOのストア命令がディスパッチ不可能なら、後続のSOのロード命令もディスパッチ不可能とする (LASの保証)。

【方針3】先行するSOまたはWOの整数ロード/ストア命令がディスパッチ不可能なら、後続のWOの整数ストア命令もディスパッチ不可能とする (SALおよびSASの保証)。また、先行するSOまたはWOの整数ストア命令がディスパッチ不可能なら、後続のWOの整数ロード命令もディスパッチ不可能とする (LASの保証)。

【方針4】先行するSOまたはWOの浮動小数点ロード/ストア命令がディスパッチ不可能なら、後続のWOの浮動小数点ストア命令もディスパッチ不可能とする (SALおよびSASの保証)。また、先行するSOまたはWOの浮動小数点ストア命令がディスパッチ不可能なら、後続のWOの浮動小数点ロード命令もディスパッチ不可能とする (LASの保証)。

【方針5】UOのロード/ストア命令は、レジスタに関するデータ依存関係がない限り常にディスパッチ可能である。

次に、ディスパッチ先のLSUは、以下のように決定する。

- ①両LSUともにインターロックしていない場合：ディスパッチ可能なロード/ストア命令のうち、最も先行する命令をLSU0に、また、その次の命令をLSU1に、それぞれディスパッチする。
- ②いずれかのLSUがインターロックしている場合：ディスパッチ可能なロード/ストア命令のうち最も先行する命令をインターロックしていないLSUにディスパッチする。

5.2 ミスヒット処理過程

4.2節で述べたノンブロッキング・キャッシュを実現するために、各バンクのキャッシュ・コントロール・ユニット(CCU)にMSHRを設ける。MSHRは、ミスヒットを起こしたアクセス要求に関する以下の情報を保持する。

- ①アドレス：ミスヒットを起こしたアドレス
 - ②命令付随情報：ロード/ストア・アクセスの区別、デスティネーション・レジスタ番号(ロード・アクセスの場合)、など
 - ③ストアデータ：ストア・アクセスの場合、ストアすべきデータ
 - ④Waitフラグ：ミスヒット処理待ちであることを示すフラグ
- Kroftの方式におけるMSHRほどではないにしても、上記のMSHR1個当りのデータ量はかなり大きい。よって、1バンク当たり何個のMSHRを設けるかが課題となる。Kroft[7]によると、性能向上はMSHR4個でほぼ飽和するとなっている。また、Kroftの方式によるマルチポート・ノンブロッキング・キャッシュに対するシミュレーション結果[5]を見ると、1バンク当たり4個のMSHRを設けた場合ブロッキングがほとんど起きていない。これらから、本DPDCでも、1バンク当たり4個のMSHRを設けることにする。ただし、4.2節で述べたように、我々の採用した実現方針はKroftの方式に比べるとレジスタの使用効率が悪くなる可能性がある。したがって、MSHR数については、今後も検討が必要である。

さて、ミスヒットは当該バンクで以下のように処理される。

- (1) まず、ミスヒットとなったラインのタグを無効化する。これは、後続のアクセス要求が当該ラインに対してヒットするのを防ぐためである。また、MSHRの割当てを行い、ミスヒット処理に必要な情報を設定する。このとき、すでに先行するミスヒット処理が進行中であれば、Waitフラグを立ててその終了を待つ。そうでなければ、(2)へ進む。なお、このMSHR割当てにより空きのMSHRが無くなった場合、以後のアクセス要求をブロックする。
- (2) MSHRに登録しているアドレスを用いて、ライン・リプレースメントを行う。コピーバック方式を採用しているので、当該ラインがdirtyであればラインフェッチに先立ちコピーバックを行う。ラインフェッチには、ラップアラウンド方式のブロック転送を行う。これはライン中の所望のデータから先に転送する方式であり、ミスヒットによる遅延を短縮する[8]。所望のデータをフェッチしたら、次のように処理を行う。
 - ①ロード・アクセスの場合：当該データを出カバスおよびバイパスバスに乗せる。
 - ②ストア・アクセスの場合：当該データをMSHR中のストアデータで書き換えた後、データアレイの当該バンクに書き込む。ラインフェッチを終了したら、タグを更新し有効にする。そして、MSHRを解放する。
- (3) ミスヒット処理待ちのMSHRは、ミスヒットの発生順に処理を行う。その処理内容は上記(2)に等しいが、処理開始に

当りMSHR中のアドレスで再度タグ検索を行う点が異なる。すなわち、このタグ検索により、当該ミスヒットがSLM(4.2節参照)か否かを識別する。SLMである場合(ヒットした場合)は、直ちにアクセス要求を遂行する。このとき、ライン・リプレースメントは行わない。そうでない場合は、上記(2)の処理を行う。

なお、上記の処理において、データアレイおよびタグアレイへのアクセス、および、MSHR設定を行っているサイクルのみ、当該バンクへのアクセス要求をブロックする。

6. おわりに

以上、現在開発中であるDSNSプロセッサのロード/ストア・パイプラインについて述べた。ロード/ストア・パイプラインの多重化に伴い、①ロード/ストア命令間依存関係の保証、および、②データ・アクセスの多重化、という課題が生じる。これらの課題に対処して、本稿では、①実行順序を指定可能なロード/ストア命令アーキテクチャ、および、②2個のデータ・アクセスが同時に可能なデュアルポート・データキャッシュを提案した。さらに、デュアルポート・データキャッシュは、ミスヒットの遅延を抑えるためにノンブロッキング化を図っている。

今後は、ハードウェアの開発と並行して、シミュレーションにより本ロード/ストア・パイプラインの有効性を評価していく予定である。特に、5.2節で述べたように、MSHRの個数については性能とハードウェア量とのトレードオフをとる必要がある。また、本稿で提案した実行順序を指定可能なロード/ストア命令アーキテクチャを活かすための最適化コンパイラの開発も今後の課題である。

参考文献

- [1] 村上ほか：“SIMP(単一命令流/多重命令パイプライン)方式に基づくスーパースカラ・プロセッサの改良方針,” 信学技報「1990年並列処理に関する『琉球』サマー・ワークショップ(SWoPP琉球'90)」, CPSY90-54(1990年7月)。
- [2] 原ほか：“SIMP(単一命令流/多重命令パイプライン)方式に基づく改良版スーパースカラ・プロセッサの構成と処理,” 信学技報「1990年並列処理に関する『琉球』サマー・ワークショップ(SWoPP琉球'90)」, CPSY90-55(1990年7月)。
- [3] 原ほか：“DSN型スーパースカラ・プロセッサ・プロトタイプ of 分岐パイプライン,” 情処研報, ARC-86-3(1991年1月)。
- [4] 納富ほか：“『新風』プロセッサのマルチポート・データキャッシュ,” 情処41全大論文集, 3P-1(1990年9月)。
- [5] Sohi, G. and Franklin, M.: “High-Bandwidth Data Memory System for Superscalar Processors,” Computer Sciences Department University of Wisconsin-Madison, Computer Sciences Technical Report #968, Sep. 1990.
- [6] Smith, A. J.: “Line (Block) Size Choice for CPU Cache Memories,” IEEE Trans. Comput., vol.C-36, no. 9, Sep. 1987.
- [7] Kroft, D.: “Lockup-free Instruction Fetch/Prefetch Cache Organization,” Proc. 8th Int'l. Symp. Comput. Archit., pp.81-87, May. 1981.
- [8] Matick, R. E.: “Functional Cache Chip for Improved System Performance,” IBM Journal of Research and Development, vol.33, no.1, pp.15-32, Jun. 1989.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 54-066727

(43)Date of publication of application : 29.05.1979

(51)Int.Cl.

G11C 9/00

(21)Application number : 52-133286

(71)Applicant : FUJITSU LTD

(22)Date of filing : 07.11.1977

(72)Inventor : UCHIDA KEIICHIRO

(54) ACCESS CONTROL SYSTEM FOR BUFFER MEMORY**(57)Abstract:**

PURPOSE: To reduce the frequency of access competition when the bank unit is different, by addressing a plural number of memory units specifically based on the access address information at the access request from a plurality of access source.

CONSTITUTION: The data in the unit determined on the main memory unit is transferred on the buffer memory 1, and data processing is made by accessing the memory 1. In this case, constitution is made that a plurality of access sources Po and P1 are commonly accessed to the common memory 1. Further, the memory 1 is sectioned into a plurality independently and accessible. Interleaving is made to the memory unit of a plurality, and a plurality of memory units are individually accessed based on the access address information at the access request from the access sources P1 and P1. Thus, if the bank unit is different, the frequency of access competition can be reduced.

①日本国特許庁(JP)

①特許出願公開

②公開特許公報(A)

昭54—66727

⑤Int. Cl.²
G 11 C 9/00

識別記号 ⑤日本分類
97(7) C 02

庁内整理番号 ④公開 昭和54年(1979)5月29日
7056—5B

発明の数 1
審査請求 未請求

(全 5 頁)

④バッファ・メモリ・アクセス制御方式

川崎市中原区上小田中1015番地
富士通株式会社内

①特 願 昭52—133286

⑦出 願 人 富士通株式会社

②出 願 昭52(1977)11月7日

川崎市中原区上小田中1015番地

③発 明 者 内田啓一郎

⑧代 理 人 弁理士 森田寛

明 細 書

1. 発明の名称 バッファ・メモリ・アクセス
制御方式

2. 特許請求の範囲

(1) 主記憶装置上の予め定められた単位データをバッファ・メモリ上に転送しておき該バッファ・メモリをアクセスしつつ処理を進めるデータ処理システムにおいて、共通のバッファ・メモリに対して複数のアクセス源が共通にアクセスするよう構成すると共に上記単一のバッファ・メモリを複数の個々の独立にアクセス可能なメモリ単位に区分せしめて該複数のメモリ単位にインタリーブをかけ、上記複数のアクセス源からのアクセス要求時に該アクセス・アドレス情報にもとずいて上記複数のメモリ単位を個別にアクセスするようにしたことを特徴とするバッファ・メモリ・アクセス制御方式。

(2) 上記アクセス源が発したアクセス・アドレス

情報のうちタグ・アドレス・パートの予め定められたビットの内容にもとずき、上記複数のメモリ単位が選択されることを特徴とする特許請求の範囲第(1)項記載のバッファ・メモリ・アクセス制御方式。

(3) 上記アクセス源が発したアクセス・アドレス情報のうちライン・ナンバ・パートの予め定められたビットの内容にもとずき上記複数のメモリ単位が選択され、かつ上記メモリ単位選択のために利用されたことによるビット数不足分を補うためにタグ・アドレス・パートの予め定められたビットの内容が挿入されてライン・ナンバ・パートの内容として上記バッファ・メモリを索引するようにしたことを特徴とする特許請求の範囲第(1)項記載のバッファ・メモリ・アクセス制御方式。

3. 発明の詳細な説明

本発明は、バッファ・メモリ・アクセス制御方式、特に複数のアクセス源が共通のバッファ・メモリをアクセスせしめるようにすると共に、該

バッファ・メモリにインタリーブをかけ例えばバンクを異にするアクセスを時間的に並行して実行できるようにしたバッファ・メモリ・アクセス制御方式に関するものである。

従来からバッファ・メモリは個々のアクセス源にもうけられ、個々のアクセス源が専属のバッファ・メモリをアクセスするようにされる。しかし、マルチ・プロセッサ・システムにおいては、個々のアクセス源に上記バッファ・メモリが専属的にもうけられるために、他の1つのアクセス源がメモリの内容を書き替えた場合、他のアクセス源において該書き換えられた番地の内容が自己のバッファ・メモリ上に転送されているか否かをチェックすることが必要となる。即ち、該チェックによつて、自己に転送されていることが確認された場合、当該番地の内容を無効(インバリッド)にし、以後当該内容を利用する場合には主記憶装置上から新しく転送を受けるようにされる。

このようなインバリッド処理がきわめて複雑となることをさけるために、共通に用意された共通

にアクセスできる頻度を向上することを目的としている。又他の目的がありCPUの内部においても複数のアクセス源が考えられる。すなわち命令読み出しアクセスとオペランド読み出し/書き込みアクセスである。

この2つ又は3つのアクセスが同時にBMにアクセスする可能性がある。本方式はこのアクセスの同時処理も可能に出来る。そしてそのため、本発明のバッファ・メモリ・アクセス制御方式は主記憶装置上の予め定められた単位(データ)をバッファ・メモリ上に転送しておき該バッファ・メモリをアクセスしつつ処理を進めるデータ処理システムにおいて、共通のバッファ・メモリに対して複数のアクセス源が共通にアクセスするよう構成すると共に上記単一のバッファ・メモリを複数の独立にアクセス可能なメモリ単位に区分せしめて該複数のメモリ単位にインタリーブをかけ、上記複数のアクセス源からのアクセス要求時に該アクセス・アドレス情報にもとずいて上記複数のメモリ単位を個別にアクセスするようにしたことを

バッファ・メモリを複数のアクセス源がアクセスしつつ処理を行なうことが考慮された。しかし、この場合、複数のアクセス源からのアクセスが互に競合を生ずることになり、1つのアクセス源がバッファ・メモリを現にアクセスしつつある間に他のアクセス源からのアクセスが禁止される。このため、この点を解決すべく、共通のバッファ・メモリを複数個用意し(即ち同じコピーを複数個用意し)、夫々のアクセス源が出来るだけ競合なしにアクセスできるようにすることが考慮される。しかし、このようにしようとすると、やはりある番地の内容を書き替えた場合を考慮すると夫々のコピーを一斉にインバリッドすることが必要となる。即ち、個々のアクセス源に夫々バッファ・メモリをもつ方式の難点に近似した問題点が生じてくる。

本発明は、上記の点を解決することを目的としており、いわば単一の共通バッファ・メモリを用意すると共に、該共通バッファ・メモリを互に独立にアクセスできる例えばバンクに区分しておき、インタリーブをかけて競合状態の発生なしに多重

特徴としている。以下図面を参照しつつ説明する。

第1図は従来考慮されているマルチ・アクセスのバッファ・メモリ方式の一例、第2図(A)(B)は上記従来の方式の構成を説明する説明図、第3図(A)(B)(C)は本発明の一実施例構成を示す。

第1図において、1は共通バッファ・メモリ、2は優先順位回路、3-0ないし3-3は夫々アクセス源を表わしている。本発明の概要に述べた如く、複数のアクセス源3-0ないし3-3が夫々共通のバッファ・メモリ1をアクセスしつつ処理を進めてゆくようにされる。このとき、各アクセス源からのアクセスが互に競合することがあり、優先順位回路2が例えば先に要求のあったアクセスのみを受付けてアクセス処理を行ない、当該アクセス処理が終了することを持って次のアクセスを受付けるようにされる。

第2図は、その構成を示している。図中の符号1, 2, P0, P1, P2, P3は第1図に対応し、4はバッファ・メモリのデータ格納部、5はバッファ・メモリのタグ・メモリ部、6ないし9

は夫々一致回路、10ないし17は夫々アンド・ゲート、18はアクセス・アドレス情報、19-1および19-2はエントリ位置を表わしている。

主記憶領域(図示せず)からバッファ・メモリ1上には例えばブロック単位で転送を受けており、該転送されているブロック単位のデータは上記データ格納部4における1つのエントリ位置19-2に格納され、当該ブロック単位のアドレス情報中のタグ・アドレスが対応するエントリ位置19-1に格納される。

上記ブロック単位のデータは、第2図(B)図示の如く、タグ・アドレス部TAGとライン・ナンバー部LNとにより構成され、ライン・ナンバー部LNは上記バッファ・メモリ1をアクセスするために利用される。複数のアクセス源P0ないしP3からのアクセス要求は、優先順位回路2によってそのうちの1つのみが選択される。例えばアクセス源P0からのアクセスが選択されたとなると、アンド回路10がオンされ、当該アクセス・アドレス情報中のライン・ナンバーLNによってバッファ

・メモリ1がアクセスされる。今エントリ位置19-1、19-2を含む横行が一斉にアクセスされたものとする、TAG、AD1、TAG・AD2、...TAG・AD4、DATA1、...DATA4が一斉に読出されてゆく。このとき上記アクセス・アドレス情報18中のタグ・アドレス部TAGの内容が夫々一致回路6ないし9に供給される。そして、上記タグ・メモリ部5から読出されたデータTAG・AD1、...TAG・AD4と比較される。今一致回路6が一致出力を発したとするとき、アンド・ゲート14がオンされてデータ部4から読出されたデータDATA1が上記アクセス源P0に送出される。勿論言うまでもなく將込みの場合、一致回路6ないし9からの一致信号によって書込むべき箇所(DATA1ないしDATA4のいずれかに対応)が決まる。

上述の如き、アクセス処理が行なわれるが、1つのアクセス例えば上記アクセス源P0からのアクセスが受け付けられて処理中に他のアクセス例えばP1からのアクセスの受け付けは禁止される。

この点を改良すべく、本願明細書冒頭に述べた如く、バッファ・メモリ1のコピーを複数個用意し、夫々のアクセス源が出来るだけ競合することなくアクセスできるようにすることが考慮される。しかし、各コピー間の同一性を確保するための処理を行なう必要が生ずる。

第3図(A)(B)(C)は本発明の一実施例構成を示し、図中の符号1、2、4、5、6、7、8、9、14、15、16、17、18は夫々第2図に対応し、19ないし42は夫々アンド・ゲート、43ないし46は夫々保持回路を表わしている。

本発明の場合、タグ・メモリ部5とデータ格納部4とが夫々例えば2個の互に独立にアクセスできるメモリ単位例えばバンク単位に区分される。即ち、タグ・メモリ部5が5-0と5-1とで、またデータ格納部4が4-0と4-1とで区分される。そしてタグ・メモリ5-0とデータ格納部4-0とがアクセスされて処理が進行中に、同時に並行してタグ・メモリ5-1とデータ格納部4-1とをアクセスすることができるようになる。

そして、例えばブロック単位のアドレス情報18(第3図(B)図示)におけるタグ・アドレス部TAGの末尾ビットが論理「0」の場合に当該ブロック単位がデータ格納部4-0側に格納され、逆に上記末尾ビットが論理「1」の場合に当該ブロック単位がデータ格納部4-1側に格納されるようになる。

このため、今アクセス源P0とP1とが夫々バッファ・メモリ1に対するアクセスを行ない、そのときのアドレス情報が夫々タグ・アドレス部の末尾ビットが論理「0」と論理「1」とで区別されていた場合、次のように動作する。即ち、今アクセス源P0が発したアドレス情報のタグ・アドレス部の末尾が論理「0」であり、アクセス源P1が発したアドレス情報のタグ・アドレス部の末尾が論理「1」であるとする、次のように動作する。

アクセス選択回路2により、第3図(B)又は(C)の1ビットを見て、同一バンク上にアクセスのあるもののうち優先順位の最高のものが選ばれ、アド

レスがアンド回路19ないし26によってゲートされ、タグ・メモリ5-0、5-1にアクセスする。このとき、選択されたバンク情報はアクセス源P0、P1に対応して保持回路B0、B1に記憶される。

今アクセス源P0、P1から発したアドレス情報について、上記1ビットが夫々「0」と「1」とであることから、バンク0とバンク1とが同時にアクセスできる。

該アクセスの結果、第2図の場合と同様にタグ・アドレスが一致すると、データ格納部4-0、4-1から読出されたデータDATA1又はDATA2、DATA3又はDATA4が夫々データ・バスD0とD1とに出力される。これらは、上記保持回路B0ないしB4によってアンド回路27又は28、29又は30がゲートされ、アクセス源P0、P1に送出される。

同様にバッファ・メモリ・ライト時には、夫々上記保持回路B0ないしB3の内容によってデータ格納部4-0、4-1に書込む。即ち、ストア

・データは、保持回路B0ないしB3の内容によってゲートされ、各バンクに対するライト・データとなり、一致回路6ないし7からの一致出力によって、DATA1側又はDATA2側(DATA3側又はDATA4側)かが決められ、データ格納部にライトされる。

上述の如く、本発明の場合、バッファ・メモリを構成する互に異なるバンク単位に対してアクセスがある限り、時間的に並行していわば多重アクセスが可能となる。なお、各アクセス源P0ないしP3などから行なわれるアクセスにおいて、同一バンク単位に対してアクセスが行なわれる頻度を少なくすることを考える場合、出来るだけ或る1つのブロック単位データのアドレス情報の下記ビットによりバンク単位に振り分けることが望ましい。このような場合、第3図(C)図示の如くアドレス情報のライン・ナンバ部LNの下位ビットをもってバンク単位選択を行なうようにする。このようにした場合、必然的にライン・ナンバ部LNのビット数が不足するが、第3図(C)図示の如

く、タグ・アドレス部TAG中のビットをライン・ナンバ部LN中に繰返しアクセスするようにすればよい。

また、第3図においては、2ウェイのインタリープをかけた場合について説明したが、例えば必要に応じて4ウェイ、8ウェイ、……などのインタリープをかけるようにすることは任意である。

以上説明した如く、本発明によれば、共通バッファ・メモリにインタリープをかけて多重アクセスを可能とし、たので、バンク単位を異にする限り、アクセスの競合の頻度を減少することが可能となる。またバッファ・メモリのコピーを複数個もうける方式にくらべて、各コピー間の同一性を保持する対策をとる必要がない。

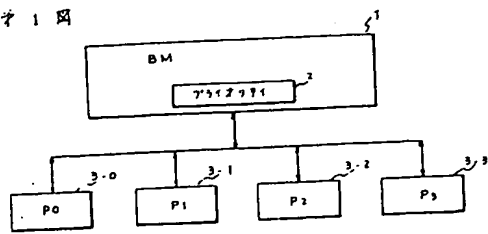
4. 図面の簡単な説明

第1図は従来考慮されているマルチ・アクセスのバッファ・メモリ方式の一例、第2図(A)(B)は上記従来方式の構成を説明する説明図、第3図(A)(B)(C)は本発明の一実施例構成を示す。

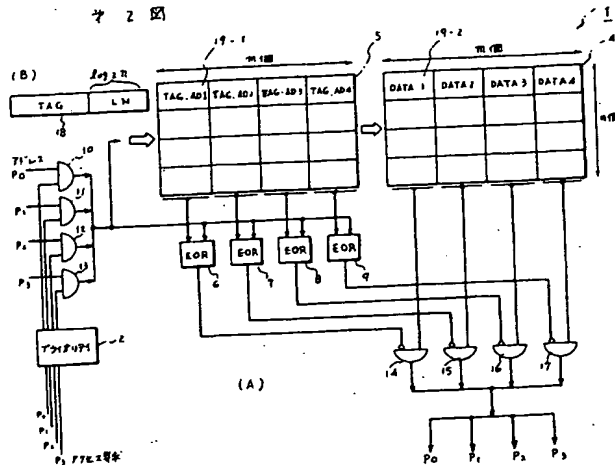
図中、1は共通バッファ・メモリ、3-0ないし3-3は夫々アクセス源、4-0、4-1はバッファ・メモリのデータ・アドレス部、5-0、5-1はバッファ・メモリのタグ・メモリ部、6ないし9は夫々排他的オア回路を表わす。

特許出願人 富士通株式会社
代理人弁理士 森 田 寛

第1図



第2図



第3図

